

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-142604

(43)Date of publication of application : 18.06.1991

(51)Int.Cl. G05B 19/403
B23Q 15/00
G05B 19/415

(21)Application number : 01-282277

(71)Applicant : NIKON CORP

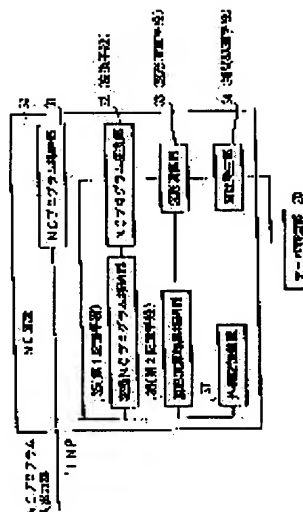
(22)Date of filing : 30.10.1989

(72)Inventor : OKAZAWA YASUO
SATO KENZO
KAWAGUCHI RYOICHI
MIYASHITA MASAYUKI

(54) NC DEVICE**(57)Abstract:**

PURPOSE: To prevent the discontinuation of working operations between blocks respectively at a low cost by sending the binary code of the next block stored in a storage means to an interpolation processing means directly or via an arithmetic means every time the interpolation process is through with each block.

CONSTITUTION: All blocks of an NC program are converted into binary codes by an NC language analysis (conversion) means 32 prior to a working operation. These binary codes are stored in a converted NC program store part 35. At working the binary codes of the next one block is sent to an interpolation processing means 34 directly or via a graphic arithmetic part 33 after the interpolation processing is through with the preceding block. Thus it is possible to solve such a problem where the graphic computing time exceeds the interpolation processing time and a cutting operation is interrupted with no use of plural microprocessors nor a high speed microprocessor.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-142604

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)6月18日

G 05 B 19/403
B 23 Q 15/00
G 05 B 19/415

X 9064-5H
L 7528-3C
Z 9064-5H

審査請求 未請求 請求項の数 2 (全5頁)

⑮ 発明の名称 NC装置

⑯ 特 願 平1-282277

⑰ 出 願 平1(1989)10月30日

⑱ 発 明 者 岡 沢 泰 夫 東京都品川区西大井1丁目6番3号 株式会社ニコン大井製作所内

⑲ 発 明 者 佐 藤 賢 蔵 東京都品川区西大井1丁目6番3号 株式会社ニコン大井製作所内

⑳ 発 明 者 川 口 良 一 東京都品川区西大井1丁目6番3号 株式会社ニコン大井製作所内

㉑ 発 明 者 宮 下 正 之 東京都品川区西大井1丁目6番3号 株式会社ニコン大井製作所内

㉒ 出 願 人 株 式 会 社 ニ コ ン 東京都千代田区丸の内3丁目2番3号

㉓ 代 理 人 弁 理 士 永 井 冬 紀

明 細 書

1. 発明の名称

NC装置

2. 特許請求の範囲

1) 複数のブロックからなるNCプログラムをバイナリーコードに変換する変換手段と、

そのバイナリーコードから座標変換などの図形演算を行う図形演算手段と、

その図形演算の結果に基づいて軸駆動手段の駆動信号を形成するための補間処理を行う補間処理手段とを有するNC装置において、

変換されたバイナリーコードを記憶する第1記憶手段を備え、各ブロックについての補間処理が終了するたびに前記第1記憶手段に記憶されている次のブロックのバイナリーコードを図形演算手段または直接に補間処理手段に送るようにすることを特徴とするNC装置。

2) 複数のブロックからなるNCプログラムをバイナリーコードに変換する変換手段と、

そのバイナリーコードから座標変換などの図形

演算を行う図形演算手段と、

その図形演算の結果に基づいて軸駆動手段の駆動信号を形成するための補間処理を行う補間処理手段とを有するNC装置において、

図形演算結果を記憶する第2記憶手段を備え、各ブロックについての補間処理が終了するたびに前記第2記憶手段に記憶されている次のブロックの図形演算結果を補間処理手段に送るようにすることを特徴とするNC装置。

3. 発明の詳細な説明

A. 産業上の利用分野

本発明は、複数のブロックが連続するNCプログラムに基づいて工作機械を駆動制御するNC装置に関する。

B. 従来の技術

第4図は従来のNC装置10の概略構成を示す。このNC装置10は、例えばアスキーコードによる複数のブロックから成るNCプログラムをプログラム入力部INPから取り込んで格納するNCプログラム格納部11と、格納部11から送られ

てくるプログラムを機械語であるバイナリーコードに1ブロックずつ変換するNC言語解析部12と、バイナリーコード化されたプログラムに対して座標変換などの図形演算を1ブロックずつ行う図形演算部13と、1ブロックの図形演算結果に基づいて補間処理を行って軸駆動装置の駆動信号を形成する関数発生部14とを有し、関数発生部14からの駆動信号をサーボ制御部20に送って各軸を駆動制御する。なお、15は、NCプログラムの保存および再利用のための外部記憶装置である。

C. 発明が解決しようとする課題

ところで、このような従来のNC装置10では、第5図のステップS1～S3に示すように、NC言語解析部12で1ブロックのバイナリーコード化が終了するとその1ブロック分のバイナリーコードが次段の図形演算部13に送られ、また、図形演算部13で1ブロックの図形演算が終了すると関数発生部14に1ブロック分の図形演算結果が送られて補間処理が行われる。そして、ステッ

プS4でプログラム終了が判定されるまでステップS1～S3を繰返し実行する。

そのため、NC装置のバイナリーコードへの変換が終了しても次段の図形演算が終了していない場合、あるいは次段の関数発生部14の補間処理が終了しても図形演算が終了していない場合には、次のブロックをNC言語解析部12に送ることができなかったり、あるいは、関数発生部14に図形演算結果を取り込めず、ブロックとブロックとの間に停止時間が発生して切削動作が途切れ、それに伴い加工精度に悪影響を及ぼす。

このような問題点は、例えば、特開昭63-181005号公報に開示されているように図形演算部に複数のマイクロプロセッサを設けたり、高速のマイクロプロセッサを用いることにより解決されるが、マイクロプロセッサのコストがかかり高価なNC装置となる。

本発明の技術的課題は、廉価にして各ブロック間で加工動作が停止しないようにプログラム処理することにある。

D. 課題を解決するための手段

一実施例を示す第1図により説明すると、本発明に係るNC装置は、複数のブロックからなるNCプログラムをバイナリーコードに変換する変換手段32と、そのバイナリーコードに対して座標変換などの図形演算を行う図形演算手段33と、その図形演算の結果に基づいて軸駆動手段の駆動信号を形成するための補間処理を行う補間処理手段34とを有するNC装置に適用され、上述の問題点は次の構成で達成される。

請求項1の発明のNC装置は、変換されたバイナリーコードを記憶する第1記憶手段35を備え、各ブロックについての補間処理が終了するたびに記憶手段35に記憶されている次のブロックのバイナリーコードを演算手段34または場合により直接に補間処理手段34に送る。

請求項2の発明のNC装置は、図形演算結果を記憶する第2記憶手段36を備え、各ブロックについての補間処理が終了するたびに、記憶手段36に記憶されている次のブロックの図形演算結

果を補間処理手段34に送るようにする。

E. 作用

請求項1では、バイナリーコードに変換されたプログラムが第1記憶手段35に記憶され、加工時、1ブロックの補間処理が終了すると次の1ブロックのバイナリーコードが図形演算手段33または、直接に補間処理手段34に送られる。また、請求項2では、バイナリーコードに変換されたプログラムの全てのブロックについて先に図形演算が行なわれ第2記憶手段36に記憶され、加工処理に際して、1ブロックの補間処理が終了すると次の1ブロックの図形演算結果が第2記憶手段36から取り込まれて補間処理される。したがって、補間処理の前処理に時間がかかるような加工についても、ブロック間で途切れることがなく、加工精度が向上する。

なお、本発明の構成を説明する上記D項およびE項では、本発明を分かり易くするために実施例の図を用いたが、これにより本発明が実施例に限定されるものではない。

F. 実施例

第1図～第3図により本発明の一実施例を説明する。

NC装置30は、例えば第2図(a)に示すようなアスキーコードによる複数のブロックから成るNCプログラムをNCプログラム入力部INPから取り込んで格納するNCプログラム格納部31と、格納部31から送られてくるプログラムを機械語である第2図(b)に示すようなバイナリーコードに1ブロックづつを変換するNC言語解析部(変換手段)32と、変換されたバイナリーコードに対して座標変換などの図形演算を1ブロックづつ行う図形演算部33と、図形演算結果に基づいて1ブロックづつ補間処理を行い軸駆動信号を発生する関数発生部(補間処理手段)34とを有し、関数発生部34の出力信号をサーボ制御部20に送って各軸の駆動装置(不図示)を駆動制御する。さらに、変換されバイナリーコード化されたプログラムを格納する格納部35と、図形演算結果を格納する格納部36と、アスキーコ

ードのNCプログラム、バイナリーコード化されたNCプログラムおよび図形演算結果を1つの組データとして格納するための外部記憶装置37が設けられている。そして、加工動作に先立って、NCプログラムの全ブロックがバイナリーコードに変換されてその格納部35に格納されるとともに、図形演算部33で全ブロックについて図形演算されてその格納部36に格納される。

このように構成されたNC装置の動作を次に説明する。

第3図は全体の動作の流れを説明するためのフローチャートであり、NCプログラム入力部INPから例えばアスキーコードのNCプログラムが入力されると、まずステップS11において、変換プログラム格納部35に既に格納されているブロックか否かを判定する。否定されるとステップS12でそのブロックをNC言語解析部32に送ってバイナリーコードに変換して格納部35に記憶する。ステップS11が肯定されるとステップS12をジャンプしてステップS13に進む。

ステップS13では、このようにして変換されたブロックについての図形演算結果が図形演算結果格納部36に既に格納されているか否かを判定する。ステップS13が否定されるとステップS14において、送られてきたバイナリーコードに基づいて座標変換などの図形演算処理を実行し、その図形演算結果を格納部36に記憶してステップS15に進む。ステップS13が肯定されるとステップS14をジャンプしてステップS15に進む。ステップS15では、補間処理を行う前のいわゆる前処理がすべて終了したか否かを判定し、否定されると以上のステップS11～S15を繰返し実行する。前処理が終了するとステップS16に進み、関数発生部34に図形演算結果を送って補間処理を行い、サーボ制御部20に軸駆動信号を送る。これにより、各軸がプログラムの内容にしたがって駆動されてワークを加工する。そして、ステップS17において全プログラムが終了か否かを判定し、否定されるとステップS16を繰返し、肯定されると終了する。

このような動作により例えば2つのワークに対して同一の加工を施す場合、まず、1個目のワークの加工に先立って、NCプログラム入力部INPからアスキーコードのNCプログラムをNCプログラム格納部31に全ブロック取り込む。その後、このNCプログラム格納部31からNCプログラム変換部32に1ブロックのNCプログラムを送る。今、このブロックはいまだ変換されていないブロックであるからバイナリーコードに変換して変換NCプログラム格納部35に格納する。次いで、その変換されたバイナリーコードについてはいまだ図形演算されていないから、図形演算部33で図形演算してその結果を図形演算結果格納部36に格納する。そして、この図形演算部33での処理に並行して2ブロック目のNCプログラムをNCプログラム格納部31からNCプログラム変換部32に送り、同様にバイナリーコード化する。このような手順により、全NCプログラムの変換と図形演算が終了して格納部35、36にそれぞれ格納される。このとき、変換NC

プログラムと図形演算結果は元のNCプログラムとともに外部記憶装置37に1組のデータとして格納される。この間、工作機械は停止している。

このようなNCプログラム変換と図形演算の前処理が全ブロックについて終了すると、図形演算結果格納部36から最初の1ブロックの図形演算結果を関数発生部34に取り込み、補間演算を行って軸駆動信号を出力する。これにより、軸が駆動されてワークの第1ブロックについての加工が開始される。1つ目のブロックについての補間演算が終了すると、次の2つ目のブロックの図形演算結果がその格納部36から関数発生部34に送られ、そのブロックについての軸駆動信号が発生し、サーボ制御部20に送出される。こうして、全ブロックについての補間処理が終了すると、1つ目のワークの加工が終了する。

このように、すべてのブロックについてのNCプログラム変換と図形演算の前処理を先に行ない、実際の加工時は格納部36に格納されている演算

結果を関数発生部34に取り込むだけなので、補間処理が終了すると直ちに次のブロックの図形演算結果を取り込むことができ、ブロックとブロック間に加工動作の途切れがなく、加工精度の低下を防止できる。

このような1つ目のワークの加工に引き続いて2つ目のワークを加工する場合は、全NCプログラムの変換と図形演算が既に終了しているから、第3図のステップS11～S15までの処理時間は極めて短く、加工に先立つ工作機械の停止時間も極めて短い。そして、1つ目のワークと同様に図形演算結果格納部36から各ブロックのデータを逐次呼び出して補間処理が行われるので、同様に切削動作が途切れることがない。

ロ、発明の効果

本発明によれば、予めバイナリーコード化されたプログラムや図形演算結果を記憶しておき、補間処理が終了するとその記憶されているプログラムや図形演算結果を取り込んで補間処理などの演算を行うようにしたので、例えば従来のよう

に図形演算時間が補間処理時間よりもかなり切削動作が途切れるといった問題を、複数のマイクロプロセッサや高速度のマイクロプロセッサを必要とせずに解決でき、高精度でコストパフォーマンスの高いNC装置を提供できる。

4. 図面の簡単な説明

第1図は本発明に係るNC装置の概略全体構成を示すブロック図である。

第2図はアスキーコードとバイナリーコードを説明する図である。

第3図は実施例の動作手順を説明するフローチャートである。

第4図は従来のNC装置の概略全体構成を示すブロック図である。

第5図は従来の手順例を示すフローチャートである。

30: NC装置 31: NCプログラム格納部

32: NCプログラム変換部

33: 図形演算部

34: 関数発生部

35: 変換NCプログラム格納部

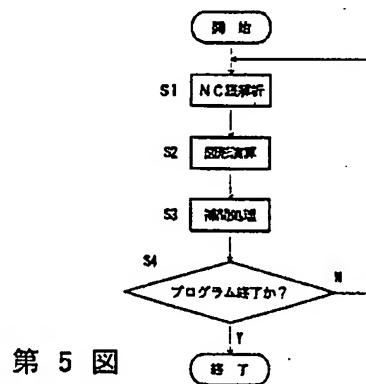
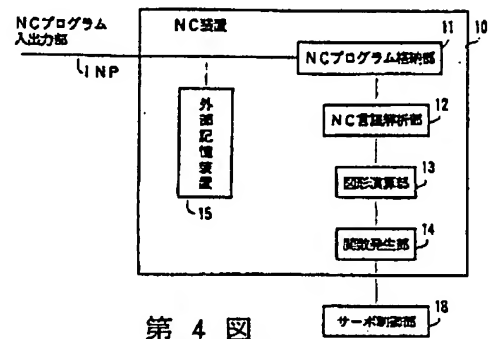
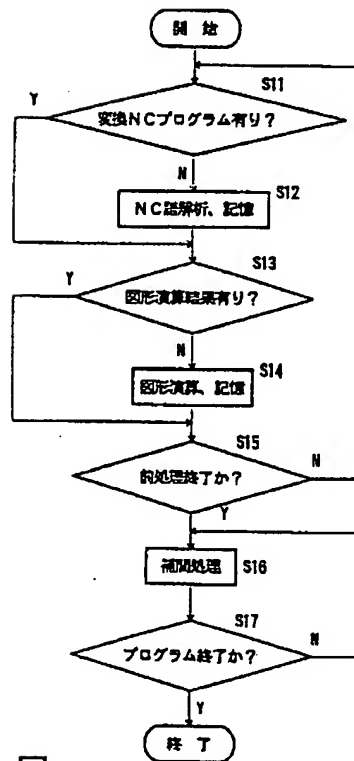
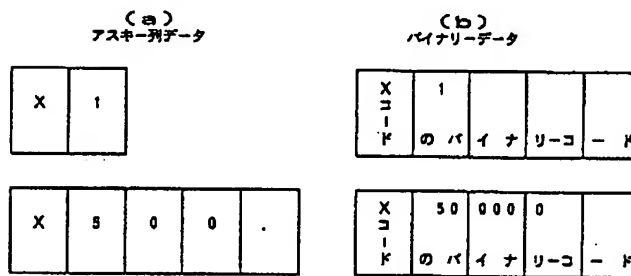
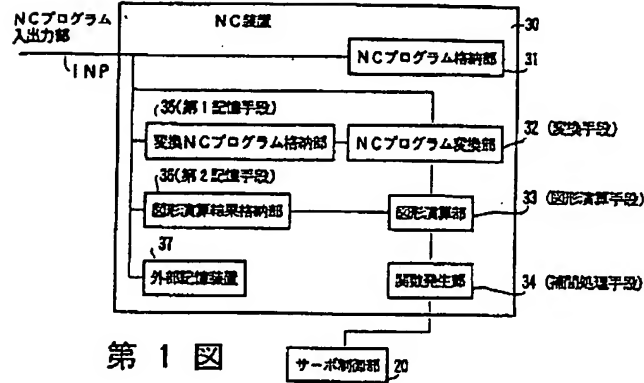
36: 図形演算結果格納部 37: 外部記憶装置

特許出願人

株式会社ニコン

代理人弁理士

永井冬紀



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-127732

(43)Date of publication of application : 25.05.1993

(51)Int.Cl.

G05B 19/407
G05B 19/18

(21)Application number : 03-287512

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 01.11.1991

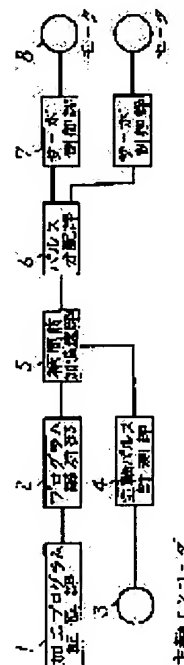
(72)Inventor : KOBAYASHI OSAMU

(54) NUMERICAL CONTROLLER

(57)Abstract:

PURPOSE: To shorten an idle running distance by shortening an acceleration period when the feed speed of thread-cutting operation is slow.

CONSTITUTION: The numerical controller is equipped with a machining program storage part 1, a program analysis part 2 which analyzes a machining program, a before-interpolation acceleration and deceleration part 5 which accelerates or decelerates movement data analyzed by the program analysis part 2 before pulse distribution, a pulse distribution part 6 which distributes the movement data by the number of movement pulses of each sampling time, a servo control part 7, and a spindle pulse measurement part 4 which measures the number of output pulses of a spindle encoder at each sampling time; and the before-interpolation acceleration and deceleration part 5 performs spindle synchronous feed control so that the acceleration is constant before the pulse distribution part 6.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-127732

(43)公開日 平成5年(1993)5月25日

(51)Int.Cl.⁵

G 0 5 B 19/407
19/18

識別記号

庁内整理番号

K 9064-3H

T 9064-3H

F I

技術表示箇所

審査請求 未請求 請求項の数1(全4頁)

(21)出願番号 特願平3-287512

(22)出願日 平成3年(1991)11月1日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 小林 修

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

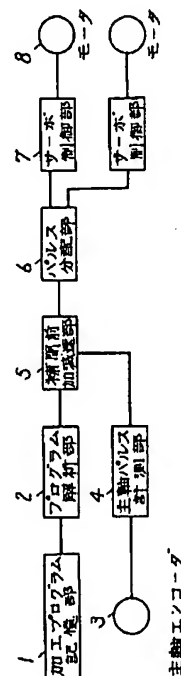
(74)代理人 弁理士 小銀治 明 (外2名)

(54)【発明の名称】 数値制御装置

(57)【要約】

【目的】 ねじ切削などの作業において送り速度が遅い場合には加速期間を短くし、空送距離を短くすることができる数値制御装置を提供する。

【構成】 加工プログラム記憶部1と、加工プログラムを解析するプログラム解析部2と、プログラム解析部2で解析された移動データをパルス分配前に加減速を加える補間前加減速部5と、移動データをサンプリング時間ごとの移動パルス数に分配するパルス分配部6と、サーボ制御部7と、主軸エンコーダの出力パルス数をサンプリング時間ごとに計測する主軸パルス計測部4とを備え、補間前加減速部5がパルス分配部6の前にあって加速度が一定になるように主軸同期送り制御を行なう数値制御装置。



【特許請求の範囲】

【請求項1】 加工プログラム記憶部と、加工プログラムを解析するプログラム解析部と、プログラム解析部で解析された移動データをパルス分配前に加減速を加える補間前加減速部と、移動データをサンプリング時間ごとの移動パルス数に分配するパルス分配部と、サーボ制御部と、主軸エンコーダの出力パルス数をサンプリング時間ごとに計測する主軸パルス計測部とを備え、補間前加減速部がパルス分配部の前にあって加速度が一定になるように主軸同期送り制御を行なう数値制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、定加速制御の数値制御装置に関する。

【0002】

【従来の技術】 従来の数値制御装置を図4に示す。図において、加工プログラム記憶部1に記憶されている加工プログラムはプログラム解析部2で解析され、パルス分配部6に指令速度を送る。パルス分配部6は主軸エンコーダ3からのエンコーダパルスをサンプリング周期ごとに計測する主軸パルス計測部4で計測されたデータをもとに、サンプリング周期あたりの移動量を計算しパルス分配量を各々の補間後加減速部9に送り、各々補間後加減速部9は加減速処理を行なった後でサーボ制御部7へパルスを出力し、サーボ制御部7がモータ8を制御する。

【0003】 図5はパルス分配部6の出力パルスを示す。(A)は速度が高い場合、(B)は速度が低い場合である。図6はパルス分配部6からのパルス分配量をもとに補間後加減速部9が出力した出力パルスを示す。

(A)、(B)は図5の(A)、(B)に対応している。図6の加速時間は指令速度に無関係に一定時間である。

【0004】

【発明が解決しようとする課題】 従来の方法では、機械系に振動が発生しないようにパルス分配部の直後で補間後加減速を行なっていたが、補間後加減速は既に出力されているパルス分配データを各軸ごとに独立に加減速するため、加工形状を指令どおりにするには指令速度に関係なく加減速時間は一定にしなければならなかった。たとえば主軸同期送りでねじ切削を行なう場合、加速期間中のねじのリードは保証されないのでリードが保証されるようにねじの切り始めに空送距離を付ける必要があるが、加速期間が短いほど空送距離を短くできる。

【0005】 本発明は上記従来の課題を解決するもので、ねじ切削などの作業において送り速度が遅い場合には加速期間を短くし、空送距離を短くすることができる数値制御装置を提供することを目的とする。

【0006】

【課題を解決するための手段】 上記目的を達成するため

に本発明の数値制御装置は、加工プログラム記憶部と、加工プログラムを解析するプログラム解析部と、プログラム解析部で解析された移動データをパルス分配前に加減速を加える補間前加減速部と、移動データをサンプリング時間ごとの移動パルス数に分配するパルス分配部と、サーボ制御部と、主軸エンコーダの出力パルス数をサンプリング時間ごとに計測する主軸パルス計測部とを備え、補間前加減速部がパルス分配部の前にあって加速度が一定になるように主軸同期送り制御を行なう。

10 【0007】

【作用】 上記の手段によりねじ切削などを行なう場合に空送距離を短くすることが可能になる。

【0008】

【実施例】 図1に本発明の数値制御装置のブロック図を示す。図において、加工プログラム記憶部1に記憶されている加工プログラムはプログラム解析部2で解析され、補間前加減速部5に指令速度を送る。補間前加減速部5は主軸エンコーダ3からのエンコーダパルスをサンプリング周期ごとに計測する主軸パルス計測部4で計測されたデータをもとに、入力された指令速度に加減速処理を行ないパルス分配部6に加減速処理を加えた指令速度を送る。パルス分配部6はサーボ制御部7へパルスを出力し、サーボ制御部7がモータ8を制御する。

【0009】 図2に本発明の補間前加減速処理後の指令速度の図を示す(A)は速度が高い場合、(B)は速度が低い場合である。図3に本発明の分配パルスの図を示す。(A)、(B)は図2の(A)、(B)と対応している。プログラム解析部2は各軸の合成速度で補間前加減速部5に指令速度を与えるため、この指令速度に加減速処理を加える場合加減速処理による加工形状の誤差は発生しないので加速度一定の加減速処理を実行することができる。これにより指令速度が2分の1の場合加速時間も同様に2分の1になるので加速期間の移動量は4分の1になる。補間後加減速の場合は指令速度が2分の1の場合加速期間中の移動量は2分の1である。

【0010】

【発明の効果】 以上のように本発明によれば、加速度一定に加減速を行なえるためにねじ切削を行なう場合にねじ切削開始点からねじのリードが安定するまでの時間が短くなるため、ねじ切削開始点からの空送距離が短くなり、作業時間を短くすることが可能になる。

【図面の簡単な説明】

【図1】 本発明の数値制御装置の構成を示すブロック図

【図2】 本発明の数値制御装置の補間前加減速部が出力する指令速度の図

(A) 指令速度が高い場合

(B) 指令速度が低い場合

【図3】 本発明の数値制御装置のパルス分配部の出力パルスの図

(A) 指令速度が高い場合

(B) 指令速度が低い場合

【図4】従来の数値制御装置の構成を示すブロック図

【図5】従来の数値制御装置のパルス分配部の出力パルスの図

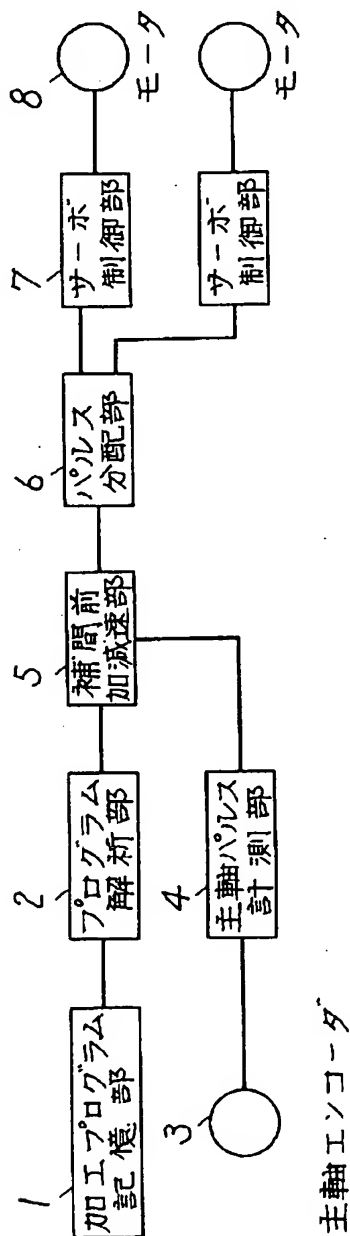
(A) 指令速度が高い場合

(B) 指令速度が低い場合

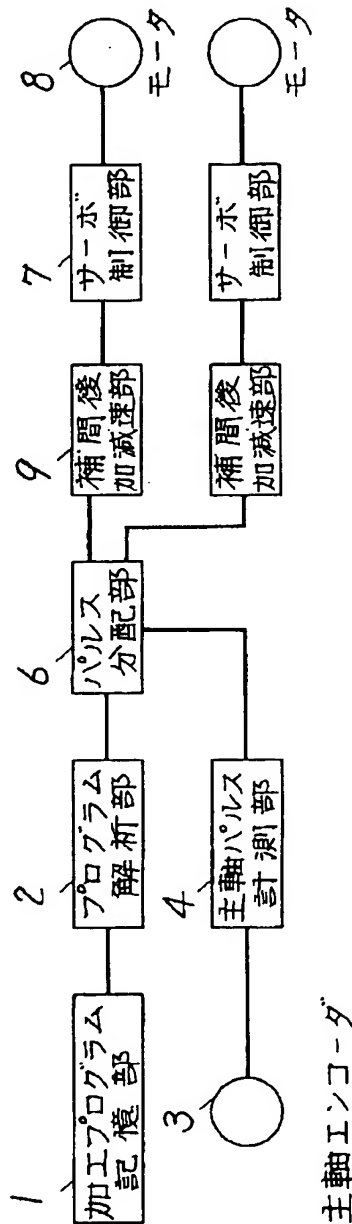
【図6】従来の数値制御装置の補間後加減速部の出力パルスの図

(A) 指令速度が高い場合

【図1】



【図4】

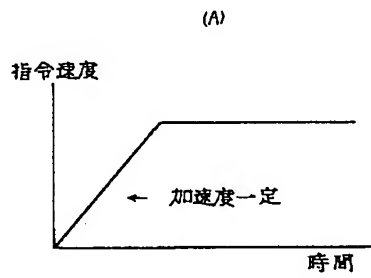


(B) 指令速度が低い場合

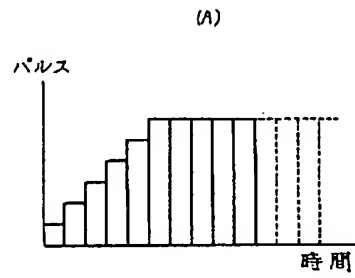
【符号の説明】

- 1 加工プログラム記憶部
- 2 プログラム解析部
- 4 主軸パルス計測部
- 5 補間前加減速部
- 6 パルス分配部
- 7 サーボ制御部

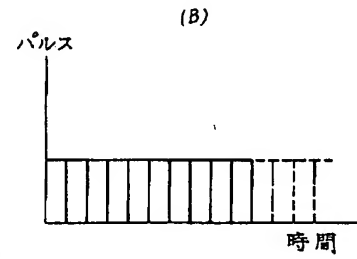
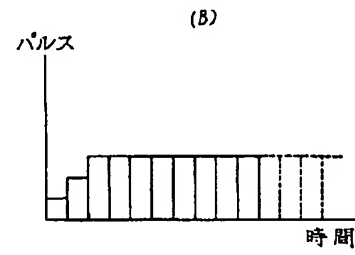
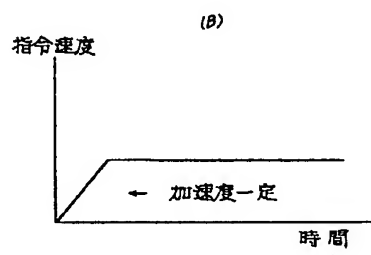
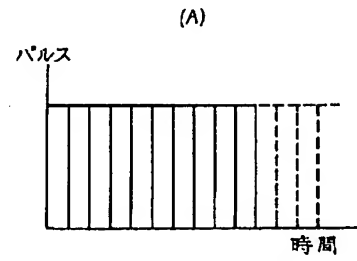
【図2】



【図3】



【図5】



【図6】

